

一种低功耗 2D DFT 芯片的前端设计与验证

谢新辉, 唐立军, 邓 敏

(长沙理工大学 物理与电子科学学院, 湖南 长沙 410004)

摘 要: 本文基于 Nangate 45nm CMOS 开放工艺库, 设计了一种适用于数字图像处理的二维离散傅里叶变换(2-Dimensional Discrete Fourier Transform, 2D DFT)芯片, 并对其进行了前端验证. 该芯片采用时域抽取法基-2 快速傅里叶算法(Radix-2 Fast Fourier Transform)以及优化的流水线结构, 使得设计难度大大降低, 处理速度得到较大提升. 功能验证和逻辑综合后的结果显示, 该芯片能够在 250MHz 时钟频率下工作, 只需延迟 1211 个时钟周期即开始输出一个由 16 位单精度定点数构成的 32×32 位复数矩阵的 DFT 值, 且在 0.9V 电压下功率为 143mW, 表明芯片在速度、精度以及功耗上均满足低功耗数字图像处理系统的要求.

关键词: 快速傅里叶变换; 流水线结构; 数字图像处理芯片

中图分类号: TN764

文献标识码: A

文章编号: 1000-7180(2012)12-0166-05

The Front-end Design and Verification of a Low Power 2D DFT Chip

XIE Xin-hui, TANG Li-jun, DENG Min

(College of Physics and Electronics, Changsha University of Science and Technology, Changsha 410114, China)

Abstract: This paper verifies the front-end design of a 2-Dimensional Discrete Fourier Transform chip which is suitable for digital image processing using Nangate 45nm CMOS open cell library. Both the radix-2 decimation in time FFT algorithm and optimized pipeline structure were chose in the 2D DFT algorithm to lighten the design complexity. The functional simulation and hardware synthesis results show that the chip can work under 250MHz clock and output the DFT results of 32×32 complex matrix after 1211 clock cycles; the input and output datatype is 16-bit single precision fixed-point number. The power dissipation is only 143mW under voltage of 0.9 V. The simulation shows that the design can meet with the efficiency, precision and power dissipation requirements in low power digital image processing system.

Key words: fast Fourier transform; pipelined structure; digital image processing chip

1 引言

离散傅里叶变换(Discrete Fourier Transform, DFT)是一种广泛应用于数字信号处理领域的算法, 但由于计算量非常大, 因此通常采用快速傅里叶变换算法(FFT)来进行计算. FFT 算法在数字信号处理领域内的应用仅次于有限脉冲响应滤波器(FIR)^[1]. 在数字图像处理中, 二维离散傅里叶变换(2D DFT)算法可以用来计算出图像的频率成分,

它一般用在图像增强、分割以及特征提取等算法中^[2].

随着现代集成电路设计向深亚微米方向发展, 在消费类电子产品中, 一方面需要最大限度的提高系统性能, 另一方面对低功耗提出了更高的要求, 尤其是在便携式嵌入式系统中, 低功耗是整个设计的关键. 与通用微处理器、DSP 以及 FPGA 相比, 专用集成电路(ASIC)在软件和硬件配置上缺少灵活性, 但是它的功耗相对来说更低. 在一些对系统功耗严

收稿日期: 2012-04-20; 修回日期: 2012-05-15

基金项目: 国家电网公司科技项目(KZ11K15003); 湖南省自然科学基金(07JJ3112); 国家科技部科技支撑计划课题(2012BAH1704); 长沙市科技局科技项目(K0803081-11); 湖南省教育厅科研基金项目(07C086)

格控制的场合中(比如无线传感器网络),低功耗往往要比运行速度更加重要^[3]. 本文探讨低电压下,实现低功耗、高性能的适用于数字图像处理的 2D DFT 芯片设计,通过优化算法,在提高处理速度和精度的同时,减少芯片面积和功耗,并对设计方法进行验证.

2 低功耗集成电路设计方法

在集成电路的设计过程中,运行时间、能量消耗以及芯片面积等都是需要综合考虑的因素,同类芯片设计通常采用如下计算方法^[4],其中 x, y, z 是与特定芯片设计要求有关的常数:

$$C = \text{energy}^x \times \text{time}^y \times \text{area}^z \quad (1)$$

减少集成电路功耗的方法主要可以从集成电路工艺和设计方法上进行考虑. 在通常的 CMOS 工艺中,动态功耗(Dynamic Power)占据整个能量消耗的绝大部分,其计算公式为:

$$P_{\text{dyn}} = \alpha C_L V_{\text{DD}}^2 f \quad (2)$$

其中 α 为活跃因子, C_L 为容性负载, V_{DD} 为参考电压, f 为输入变化频率. 由以上公式可知,降低电压 V_{DD} 可以较大地减少 CMOS 消耗的能量. 但在 V_{DD} 逐步减少直至 MOS 管的阈值电压 V_t 的过程中,输出延迟会逐渐增加,导致在低电压条件下,芯片速度变慢甚至不能正常工作. 因此最常用的减少功耗的方法是通过芯片算法和架构进行优化^[5-6],这种方法包括减少运算次数、关闭闲置电路、采用并行计算和流水线结构、降低数据精度等. 本文遵循以上低功耗的设计方法,设计了一个能一次处理 32×32 位图像数据,输入和输出数据分别为 16 位、19 位单精度定点复数的二维 DFT 芯片,并完成数字集成电路的前端设计,以满足特定场合中对图像数据进行频率分析的需要.

3 2D DFT 芯片设计

3.1 2D DFT 原理及设计架构

一维离散傅里叶变换(DFT)和二维离散傅里叶变换(2D DFT)分别满足如下关系式^[7]:

$$F(n) = \sum_{x=0}^{N-1} f(x) W_N^{nx} \quad (3)$$

$$F(m, n) = \sum_{x=0}^{M-1} \sum_{y=0}^{N-1} f(x, y) W_M^{mx} W_N^{ny} \quad (4)$$

其中 $W_M = e^{-j\frac{2\pi}{M}}$, $W_N = e^{-j\frac{2\pi}{N}}$ 称为旋转因子. 由以上公式可知二维离散傅里叶变换可以由一维离散傅里叶变换计算得来: 首先对二维矩阵的所有行/列数

据进行一维离散傅里叶变换,将结果保留在原二维矩阵中,再对所有列/行数据进行一维离散傅里叶变换,得到的结果即为二维离散傅里叶变换. 直接计算 DFT 的运算量非常大,其复数乘为 N^2 次,复数加为 $N(N-1)$ 次,因此通常采用快速傅里叶算法(FFT),FFT 算法比直接计算 DFT 的次数大为减少. 时域抽取法基 2-FFT 作为众多 FFT 算法中的一种,其复数乘为 $\frac{N}{2} \log N_2$ 次,复数加为 $N \log N_2$ 次,且控制相对简单. 即便如此,FFT 仍然是较难实现的算法之一. 因此本文以时域抽取法基 2-FFT 为核心算法,首先设计了一个具有流水线结构的 4 点基 2-FFT 数字电路,然后在它的基础上设计出 8 点基 2-FFT 数字电路,接着利用设计好的 4 点、8 点基 2-FFT 设计了一个 32 点的 FFT 电路,最后通过这个 32 点的 FFT 电路模块得到大小为 32×32 的复数矩阵 DFT. 这种设计方法同时采用了模块化和流水线结构,使得原本设计非常复杂的 FFT 算法能够在最短的时间内得到实现和验证. 本文设计的 32×32 复数矩阵 DFT 所有内部模块均采用流水线结构,它可以连续处理大小为 32×32 的图像帧数据,工作频率高,功耗低,其设计思路如框图 1 所示.

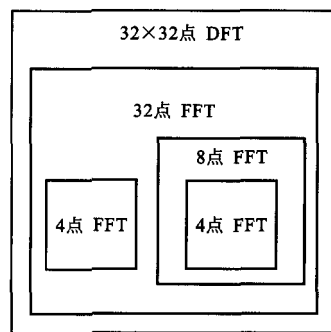


图 1 32×32 DFT 设计框图

3.2 4 点流水线结构基 2-FFT

4 点 FFT 是本文设计的基础,它对长度为 4 点的复数序列进行 FFT 计算,并且在它的基础上还能快速设计出其它更长序列的 FFT 算法. 本文采用流水线结构来设计 4 点基 2-FFT,它可以连续输入长度为 4 的帧数据和连续输出帧转换结果. 通常的流水线结构 FFT 设计方法只对蝶运算单元采取流水线结构,而且蝶运算单元的输入和输出数据占用同一地址单元,并由地址计算模块控制地址的输出. 这种设计方法所消耗的计算模块(加法、乘法、求模)较少,但地址的生成非常复杂,而且需要频繁的读写

内存,使得其在计算速度和功耗方面不能满足超长 FFT 序列的计算要求^[8]. 本文的 4 点基 2-FFT 采用全流水线结构,它无需计算地址,只消耗少量加法和寄存器,将实部和虚部数据从不同输入端连续送入后,在第 6 个时钟上升沿开始连续输 FFT 结果(有效数据在第 7 个时钟上升沿出现),每一帧转换只需 4 个时钟周期. 图 2 为 4 点基 2-FFT 的流水线结构.

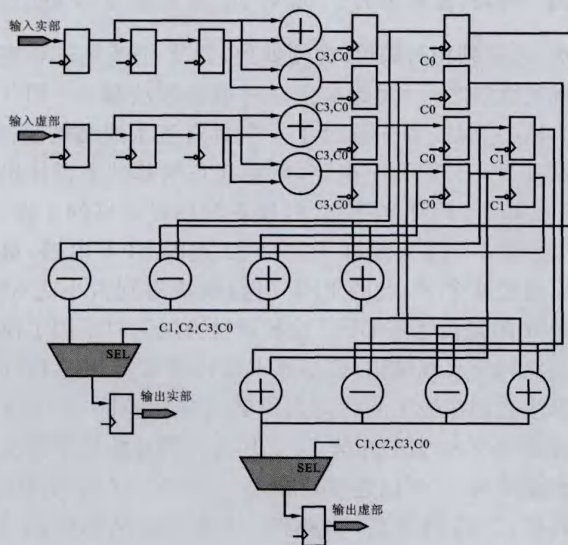


图 2 4 点基 2-FFT 的流水线结构

3.3 8 点与 32 点流水线结构基 2-FFT

在实现 4 点流水线结构基 2-FFT 算法后,在此基础上可以得到 8 点 FFT. 8 点 FFT 的输入是奇偶错序排列,输出是正常序列. 它包含了 2 个 4 点 FFT 的计算,但由于采用 4 点 FFT 具有流水线结构,因此实际只需使用一个 4 点的 FFT. 在将正常的输入序列调整为奇偶错序排列时,同样需要一个具有流水线的转换模块,其设计如图 3 所示. 这个模块在第 5 个时钟上升沿到达后开始奇偶错序输出. 值得注意的是,本文提出的所有 FFT 设计的数据缓冲模块均采用这种流水线设计方法. 本文设计的 8 点流水线结构基 2-FFT 从第 1 个复数数据输入到第 1 个数据输出延迟为 18 个时钟周期.

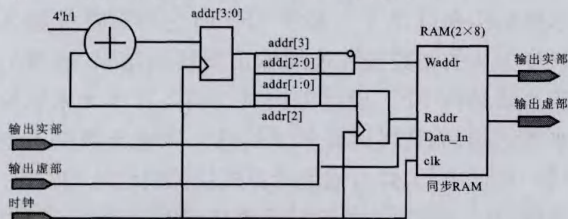


图 3 8 点流水线结构基 2-FFT 输入顺序转换

得到了 4 点和 8 点 FFT 的设计模块后,在此基础上可以构造 32 点基 2-FFT. 32 点序列 $x(n)$ 可以由一个 4×8 的矩阵 $x'(n_1, n_2)$ 表示,即:

$$x'(n_1, n_2) = \begin{bmatrix} x'(0,0) & x'(0,1) & \dots & x'(0,7) \\ x'(1,0) & x'(1,1) & \dots & x'(1,7) \\ x'(2,0) & x'(2,1) & \dots & x'(2,7) \\ x'(3,0) & x'(3,1) & \dots & x'(3,7) \end{bmatrix} \quad (5)$$

其中 $n_1=0,1,2,3, n_2=0,1,\dots,7$, 且 $n=8n_1+n_2$. 设 $x(n)$ 与 $x'(n_1, n_2)$ 的 DFT 分别为 $X(k)$ 、 $X'(k_1, k_2)$, 且 $k_1=0,1,2,3, k_2=0,1,\dots,7$, 则公式(2)可写为:

$$X'(k_1, k_2) = \sum_{n_1=0}^3 \sum_{n_2=0}^7 x'(n_1, n_2) W_4^{n_1 k_1} W_{32}^{n_2 k_2} W_8^{n_2 k_2} \quad (6)$$

$$= \sum_{n_1=0}^3 \left(\underbrace{\left[\sum_{n_2=0}^7 x'(n_1, n_2) W_8^{n_2 k_2} \right]}_{\text{8点DFT}} \underbrace{W_{32}^{n_2 k_2}}_{\text{旋转因子}} \right) W_4^{n_1 k_1} \quad (7)$$

从 $X'(k_1, k_2)$ 得到 $X(k)$ 的等式为:

$$k = k_1 + 4k_2 \quad (8)$$

以上给出了由低长度 FFT 实现高长度 FFT 的一种新途径,它将高长度序列分解成矩阵的形式后,先对矩阵的行/列进行 FFT 计算,再将结果乘以一个由旋转因子构成的矩阵,接着对列/行进行 FFT 计算,最终通过一个输出映射公式(8)得到原始序列的 FFT 值. 由于行和列的 FFT 计算次序对结果无影响,本文首先对所有行进行 4 点 FFT 计算. 图 4 是 32 点 FFT 计算的状态转换图.

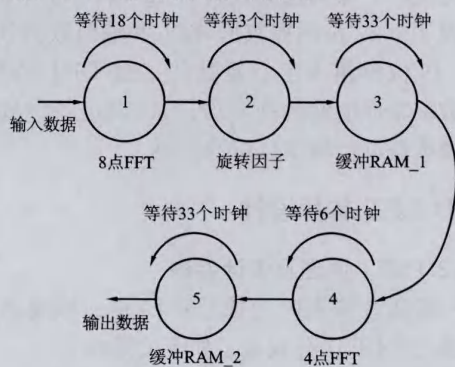


图 4 32 点 FFT 计算的状态转换图

从图 4 可以看到,32 点流水线结构 FFT 从第一个数据输入到第一个数据输出总共需要 93 个时钟周期. 图 5 是由各功能模块组成的 32 点流水线结构 FFT,其中 2 个 RAM 缓冲单元的作用是改变数据在序列中的位置,其设计原理类似图 6.

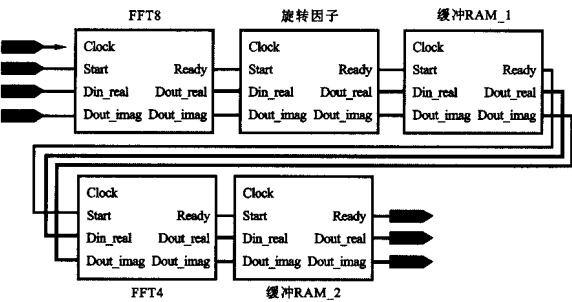


图 5 32 点流水线结构 FFT 的功能模块

3.4 32×32 点流水线结构 DFT

由公式(4)可知,只需对 32×32 点矩阵的行列各进行一次 32 点的 FFT 计算即可得到 32×32 点的 DFT. 与图 5 不同的是,由于 2D DFT 不需要与旋转因子矩阵相乘和改变输出数据顺序,因此在两次 32 点 FFT 计算过程中只需利用一个缓冲模块,且这个 RAM 缓冲模块输出延迟为 1025 个时钟,因此第一个输出数据出现在第 93 * 2+1025=1211 个时钟上升沿,图 6 是其功能模块组成图.

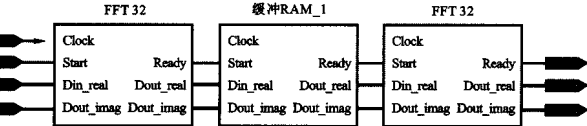


图 6 32×32 点流水线结构 DFT 的功能模块

3.5 数据溢出分析与信噪比计算

在所设计的 32×32 点 DFT 中,输入和输出数据分别为 16 位、19 位定点数补码形式. 虽然将输出数据宽度提高 3 位可以扩大数据的动态表示范围,但仍然有可能产生溢出错误和截断误差. 32 点 FFT 包含了 4 点 FFT、8 点 FFT 和旋转因子乘法的计算,因此几乎在每一次运算中不可避免的产生误差甚至溢出. 为了防止和检测溢出的发生,一方面可以增加内部数据的宽度来防止内部数据溢出,最终只将低 19 位赋值给输出端;另一方面用溢出检测模块来检测低位赋值过程中数据的表示是否发生错误. 在基 2-FFT 算法中,每一级蝶运算单元可能需要增加 1 位以上的数据宽度来防止溢出. 设某一蝶运算单元旋转因子为 $W_N^* = \cos(\theta) - \sin(\theta)j$, 则当 $\theta = \frac{(2n+1)}{4}\pi, n=0,1,\dots,\infty$ 时,蝶运算单元输出端的实部或虚部与原输入端的实部或虚部相比绝对值最大,且最大值为 $|1 \pm \cos(\theta) \pm \sin(\theta)| = 2.4142$,这使得每一级蝶运算单元的数据宽度只需扩大 1 位或 2 位,因此本文中的 2D DFT 内部数据宽度最多增加 10 位达到 26 位. 补码形式的数据溢出检测比较简单,只需检测增加的 10 位数据是否同为 '0' 或者 '1'

即可.

在无数据溢出的情况下,可以用以下公式来计算输出数据的信噪比(SNR):

$$SNR(db) = 10 \times \log \frac{\sum(A_R)^2 + (A_{Im})^2}{\sum(A_R - B_R)^2 + (A_{Im} - B_{Im})^2}$$
 (9)

其中 A,B 为代表理论值和实际输出值的 2 个复数. 噪声来自于截断误差,由 19 位定点数的小数点的位置决定. 在每一次的加法、乘法运算中,最大的截断误差仅为最小数据位(最右位)的值. 本文用来进行信噪比计算的数据格式为 Q. 5,采样数据来自一幅灰度指纹图像. 数据被分别送入所设计的 4 点、8 点、32 点以及 32×32 点 FFT 中进行处理,并用 Matlab 计算出各 FFT 的理论值,对应的 SNR 值分别为相应的 14. 6db、14db、13. 8db、13db.

3.6 功能仿真及逻辑综合

在完成了系统的算法及架构设计后,利用 Modelsim 对其进行了功能验证,结果表明实际输出与期望输出完全一致. 通过功能验证之后,再利用 Design Compiler 综合工具及 Nangate 45nm CMOS 开放工艺库对整个系统进行了逻辑综合. 该库没有直接提供用于 DC 进行综合的. db 和. sdb 文件,因此在综合前还需要利用 DC 的 Library Compiler 对库中所提供的. lib 文件进行编译生成这两个文件. 通过将它与其它高效一维 FFT 芯片的比较可知^[9-10],本文设计的 32×32 点流水线结构 DFT 芯片在速度、面积以及功耗上均能达到了较高的性能,比较结果见表 1.

表 1 32×32 点 FFT 与一维 FFT 比较

FFT 长度	工艺	频率(MHz)	功耗 (mW)	面积(mm ²)
64	250nm BiCMOS	20	41	6. 8
256	90nm CMOS	2400	119	3. 53
32×32	45nm CMOS	250	143	3. 86

4 结束语

本文对适用于数字图像处理的 2D DFT 芯片的前端进行了设计和验证,采用时域抽取法基 2-FFT 算法先后设计了 4 点、8 点、32 点流水线结构 FFT,并通过将二维 DFT 转换为一维 FFT 运算得到了 32×32 点流水线结构 DFT,这种结构化的方法大大降低了 DFT 的设计难度. 对系统进行 RTL 级描述之后完成了功能验证和逻辑综合. 功能验证结果显示在输入数据在延迟 1211 个时钟周期后开始按时钟逐点输出, DC 综合显示该芯片时钟工作

频率能达到 250 MHz, 工作电压为 0.9V, 芯片面积为 3.86 mm^2 , 动态功耗为 143 mW. 通过与其它高效一维 FFT 设计进行比较可知, 本设计在功能、速度、面积以及功耗上均满足数字图像处理芯片的高速低功耗的要求.

参考文献:

- [1] Altera. Implementing FIR filters and FFTs with 28-nm variable-precision DSP architecture [EB/OL]. [2012-02-08][2010-07-013]. <http://www.altera.com/literature/wp/wp-01140-fir-fft-dsp.pdf>.
- [2] 谢新辉, 唐立军. 傅里叶变换在指纹图像增强中的应用[J]. 计算机工程与应用, 2012, 48(8): 197-199.
- [3] 陈利杰, 周玉梅. 一个用于 12 位 40-MS/s 低功耗流水线 ADC 的 MDAC 电路设计[J]. 微电子学与计算机, 2011, 3(1): 10-12.
- [4] Baas B M. A 9.5mW 330 μsec 1024-point FFT processor[C]//IEEE Custom Integrated Circuits Conference, Pasadena, California, USA; IEEE, 1998: 127-130.
- [5] 周小果, 唐立军, 谢新辉, 等. 适用于嵌入式系统的 AES 加密 IP 核设计[J]. 微型机与应用, 2010, 8(15): 85-89.
- [6] 胡锦, 李新泽, 黑勇, 等. 基于低功耗 ASIP 的循环缓存的设计[J]. 微电子学与计算机, 2011, 28(5): 189-193.
- [7] Kannan M, Srivatsa S K. Low power hardware implementation of high speed FFT core[J]. Journal of Computer Science, 2007, 3(6): 376-382.
- [8] Ediz Getin. An integrated 256-point complex FFT processor for real-time spectrum analysis and measurement[C]//IEEE Proceedings of Instrumentation and Measurement Technology Conference, Ottawa, Canada; IEEE, 1997: 96-101.
- [9] Yuan Chen, Yu-Wei Lin, Yu-Chi Tsao, et al. A 2.4-Gsample/s DVFS FFT Processor for MIMO OFDM Communication Systems [J]. IEEE JOURNAL OF SOLID-STATE CIRCUITS, 2008, 43(5): 1260-1273.
- [10] Koushik Maharatna, Eckhard Grass, Ulrich Jagdhold. A 64-Point Fourier Transform Chip for High-Speed Wireless LAN Application Using OFDM [J]. IEEE Journal of Solid-state Circuits, 2004, 39(3): 484-493.

作者简介:



谢新辉 男, (1985—), 硕士研究生. 研究方向为集成电路设计.



唐立军 男, (1963—), 教授. 研究方向为信号检测与处理、集成电路设计.



邓敏 女, (1965—), 工程师. 研究方向为实验技术.